

Cited Ref 3

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-238190

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

H04N 7/15

G06F 1/32

G06F 1/04

H04N 5/232

// H04N 7/14

H04N101:00

(21)Application number : 2000-049690

(71)Applicant : CANON INC

(22)Date of filing : 25.02.2000

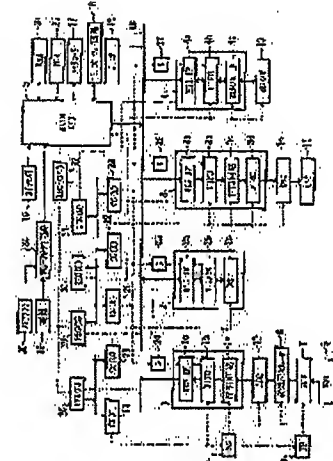
(72)Inventor : SHIRAGAMI SHINJI

## (54) IMAGE PROCESSING APPARATUS AND ITS CONTROL PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress power consumption of an image processing apparatus by controlling a clock signal and a power supply voltage applied to a processing circuit corresponding to each processing block in response to an operation mode for the processing apparatus.

SOLUTION: In the image processing apparatus where an image processor 2 applies image processing to an image signal captured by an image capturing controller 1 and a display controller 3 displays the processed image, the image capturing controller 1 captures image data with a resolution designated in an operating mode and at a frame rate and the display controller 3 displays the image data with a resolution at a frame rate designated in response to the operation mode. A CPU 5 decides a minimum power supply voltage at which this apparatus can be operated and a frequency of a clock signal on the basis of a setting value stored in a ROM 36 and controls the voltage and the frequency of the clock signal outputted from clock generators 1-23 and regulators 28-32 supplying the clock signal and the power supply voltage to each controller.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-238190

(P2001-238190A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 N 7/15	6 3 0	H 0 4 N 7/15	6 3 0 Z 5 B 0 1 1
G 0 6 F 1/32		G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
	3 0 1	H 0 4 N 5/232	Z 5 C 0 2 2
H 0 4 N 5/232		H 0 4 N 7/14	5 C 0 6 4
// H 0 4 N 7/14		H 0 4 N 101:00	

審査請求 未請求 請求項の数13 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-49690 (P2000-49690)

(22) 出願日 平成12年2月25日 (2000.2.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 白神 慎二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外2名)

Fターム (参考) 5B011 DA02 EA10 LL02 LL13

5B079 BA01 BB01 BC01

5C022 AA12 AA13 AB67 AC03 AC42

AC69

5C064 AA01 AA04 AC02 AC13 AD02

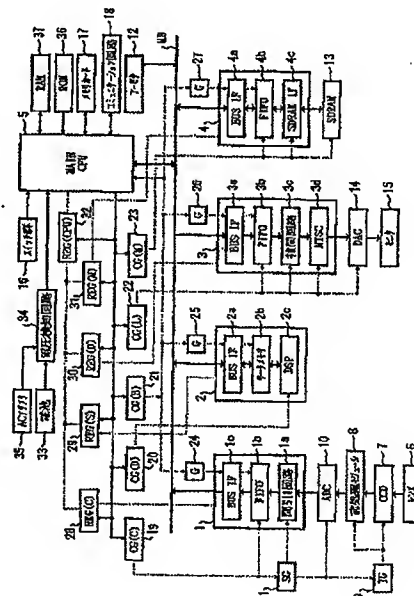
AD08 AD14 AD18

(54) 【発明の名称】 画像処理装置及びその制御処理方法

(57) 【要約】

【課題】 装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより装置の消費電力を抑える。

【解決手段】 画像取り込みコントローラ1で取り込んだ画像信号に信号処理プロセッサ2によって画像処理を行って表示コントローラ3によって表示する画像処理装置において、画像取り込みコントローラ1は動作モードに応じて指定された解像度及びフレームレートで画像データを取り込み、表示コントローラ3は動作モードに応じて指定された解像度及びフレームレートで表示する。CPU5は、設定された動作モードと解像度及びフレームレートにより、この装置が動作可能な最低限の電源電圧、クロック信号の周波数をROM36に格納された設定値を基に決定し、これら各コントローラにクロック信号や電源電圧を供給する各クロック発生器19~23、レギュレータ28~32の出力するクロック信号の周波数、電圧を制御する。



## 【特許請求の範囲】

【請求項1】 複数の動作モードを有する画像処理装置であって、前記複数の動作モードのいずれかを指示する指示手段と、それぞれ独立した処理回路を有し、それぞれ異なる処理を実行する複数の処理手段と、前記複数の処理手段に対応する処理回路に所定周波数のクロック信号を供給するクロック信号供給手段と、前記複数の処理手段に対応する処理回路に電源電圧を供給する電力供給手段と、前記指示手段により指示された動作モードに対応して、前記クロック信号供給手段から供給されるクロック信号の周波数及び前記電力供給手段から供給される電源電圧を制御する制御手段と、を有することを特徴とする画像処理装置。

【請求項2】 前記複数の処理手段の1つは、撮影した画像信号を電気信号に変換する変換手段と、前記変換手段により変換された電気信号から画像データを生成する画像生成手段と、前記画像データに対して予め設定された間引き方式に応じてデータの間引き処理を行う間引き処理手段と、を有することを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記複数の処理手段の1つは、画像データに対して予め設定された補間方式に応じてデータを補間する補間手段と、前記補間手段により補間された画像データに基づいて画像を表示する表示手段と、を有することを特徴とする請求項1に記載の画像処理装置。

【請求項4】 前記動作モードは、電子ビューファインダモード、撮影モード、再生モード、及びテレビ電話モードのいずれかを含むことを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項5】 前記制御手段は、前記動作モードにより使用されない処理回路へのクロック信号の供給、或は電源電圧の供給を停止するように制御することを特徴とする請求項1乃至4のいずれか1項に記載の画像処理装置。

【請求項6】 前記複数の動作モードのそれぞれに対応して、前記クロック信号供給手段より各処理回路に供給されるクロック信号の周波数、前記電力供給手段から各処理回路に供給される電源電圧に関する情報を記憶する記憶手段を更に有し、前記制御手段は、前記記憶手段に記憶された前記情報に基づいて制御することを特徴とする請求項1乃至5のいずれか1項に記載の画像処理装置。

【請求項7】 複数の動作モードを有する画像処理装置における制御処理方法であって、前記複数の動作モードのいずれかを指示する指示工程と、

それぞれ独立した異なる処理を実行する複数の処理回路のそれぞれに所定の周波数のクロック信号を供給するクロック信号供給工程と、前記複数の処理回路のそれぞれに電源電圧を供給する電力供給工程と、前記指示工程で指示された動作モードに対応して、前記クロック信号供給工程で供給されるクロック信号の周波数及び前記電力供給工程で供給される電源電圧を制御する制御工程と、を有することを特徴とする画像処理装置における制御処理方法。

【請求項8】 前記複数の処理回路の1つは、撮影した画像信号を電気信号に変換する変換回路と、前記変換回路で変換された電気信号から画像データを生成する画像生成回路と、前記画像データに対して予め設定された間引き方式に応じてデータの間引き処理を行う間引き処理回路と、を有することを特徴とする請求項7に記載の制御処理方法。

【請求項9】 前記複数の処理回路の1つは、画像データに対して予め設定された補間方式に応じてデータを補間する補間回路と、前記補間回路で補間された画像データに基づいて画像を表示する表示回路と、を有することを特徴とする請求項7に記載の制御処理方法。

【請求項10】 前記動作モードは、電子ビューファインダモード、撮影モード、再生モード、及びテレビ電話モードのいずれかを含むことを特徴とする請求項7乃至9のいずれか1項に記載の制御処理方法。

【請求項11】 前記制御工程では、前記動作モードにより使用されない処理回路へのクロック信号の供給、或は電源電圧の供給を停止するように制御することを特徴とする請求項7乃至10のいずれか1項に記載の制御処理方法。

【請求項12】 前記複数の動作モードのそれぞれに対応して、前記クロック信号供給工程で各処理回路に供給されるクロック信号の周波数、前記電力供給工程で各処理回路に供給される電源電圧に関する情報を記憶するメモリを更に有し、前記制御工程では、前記メモリに記憶された前記情報に基づいて制御することを特徴とする請求項7乃至11のいずれか1項に記載の制御処理方法。

【請求項13】 請求項7乃至12のいずれか1項に記載の制御処理方法を実行するプログラムを記憶した、コンピュータにより読取り可能な記憶媒体。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばデジタル・スチルカメラやテレビ電話端末装置、或はカメラ内蔵型ノートPC等に適用できる画像処理装置及び前記装置における動作制御処理方法に関するものである。

【0002】

【従来の技術】近年、CCD等の固体撮像装置の小型化、省電力化およびLSIの高集積化、高機能化、低消費電力化などの技術の進展に伴い、デジタルスチルカメラに代表されるような電池で駆動可能な携帯型の撮影装置が一般に利用されるようになった。さらには、携帯電話機能を内蔵した携帯型テレビ電話端末等も開発されている。このような電池駆動型撮影装置では、電池による動作時間を延長するためのさまざまな工夫が考案されてきた。例えば、電池残量を常に表示し、残量が少なくなってきた場合はユーザに電源をこまめに切ることを促す。あるいは、ユーザの選んだ動作モードに応じて非動作部分の電力供給またはクロック供給を遮断したりする。

【0003】また、従来技術では、撮影される画像のフレームレートや解像度は固定的であるか、せいぜいユーザが選択的に設定可能なものであり、省電力機能との連動はなされていなかった。

【0004】一般に、撮影装置では撮影される画像のフレームレートと解像度が大きくなるほど単位時間あたりに処理すべき画像データ量は増大するため、画像を扱う電子回路は高い動作クロック周波数を必要とする。また、通常電子回路を高い周波数で動作させるほど電源電圧を下げるができない。消費電力はクロック周波数に比例し電源電圧の2乗に比例するため、画像のフレームレートと解像度の増大は消費電力の増大をもたらす。したがって、消費電力を低減するためには極力フレームレートと解像度を小さくするほうがよい。

【0005】

【発明が解決しようとする課題】しかしながら撮影装置では、その動作モードによって取り込む画像信号のフレームレートや解像度に対する要求が異なる。例えば、電子ビューファインダー・モード（以下EVFモード）においては、極力スムーズな動画が表示されることが望ましいが、その電子ビュー画像を表示する画面は機器に内蔵された小さな画面であることが多いため、フレームレートは大きい程よいが、解像度はそれほど要求されない。また静止画取り込みモード（以下撮影モード）では、フレームレートは最低でよい（静止画でよい）が、解像度が最大であることが要求される。また再生モードでは、画像信号の取り込みは行わず、画像表示のみが最大解像度で行われる。更にテレビ電話モードでは、フレームレート及び解像度の両方は電話回線のデータ転送能力によって決定される。

【0006】上記例からも明らかなように、このような撮影装置を構成する各々の機能ブロック、例えば撮影ブロック、画像処理ブロック、表示ブロックなどでは、その動作モードに応じて単位時間あたりに処理すべきデータ量が異なり、常に最大周波数で動作する必要はない。にもかかわらず従来の技術では、装置の省電力のために、完全に非動作状態となっている機能ブロックへの電

力供給をオフするのみであったため有効な消費電力の削減処理を行うことができなかった。

【0007】本発明は上記従来例に鑑みてなされたもので、装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより、装置の消費電力を抑えることができる画像処理装置及びその制御処理方法を提供することを目的とする。

【0008】また本発明の目的は、装置の動作モードに応じて、最適な省電力を自動的に実現できる画像処理装置及びその制御処理方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明の画像処理装置は以下のような構成を備える。即ち、複数の動作モードを有する画像処理装置であって、前記複数の動作モードのいずれかを指示する指示手段と、それぞれ独立した処理回路を有し、それぞれ異なる処理を実行する複数の処理手段と、前記複数の処理手段に対応する処理回路に所定周波数のクロック信号を供給するクロック信号供給手段と、前記複数の処理手段に対応する処理回路に電源電圧を供給する電力供給手段と、前記指示手段により指示された動作モードに対応して、前記クロック信号供給手段から供給されるクロック信号の周波数及び前記電力供給手段から供給される電源電圧を制御する制御手段と、を有することを特徴とする。

【0010】上記目的を達成するために本発明の画像処理装置における制御処理方法は以下のような工程を備える。即ち、複数の動作モードを有する画像処理装置における制御処理方法であって、前記複数の動作モードのいずれかを指示する指示工程と、それぞれ独立した異なる処理を実行する複数の処理回路のそれぞれに所定の周波数のクロック信号を供給するクロック信号供給工程と、前記複数の処理回路のそれぞれに電源電圧を供給する電力供給工程と、前記指示工程で指示された動作モードに対応して、前記クロック信号供給工程で供給されるクロック信号の周波数及び前記電力供給工程で供給される電源電圧を制御する制御工程と、を有することを特徴とする。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0012】図1は、本発明の実施の形態1に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。図1において、各機能ブロック間を接続する線のうち、データ系の接続を太い実線で図示し、制御系の接続を細い実線で図示し、クロック系の接続を点線で図示している。但し、全ての接続が図示されているわけではなく、説明に必要な代表的な配線接続のみを図示した。

【0013】このテレビ電話端末装置の主要なブロック

構成として、撮像した画像信号の取り込みに関する処理を実行する画像取り込みコントローラ1、その画像信号から生成した画像データに対して画像処理を実行する信号処理プロセッサ2、画像データに基づく画像表示に関わる処理を行う表示コントローラ3、画像データをメモリに記憶させるためのメモリ制御を行うメモリコントローラ4、装置全体の制御を行うCPU5を有している。

【0014】まず、代表的な動作モードとして、EVF（電子ビューファインダ）モード、撮影モード、再生モード及びテレビ電話モードのそれぞれについて動作を説明を行う。

【0015】〔画像取り込みコントローラ1の説明〕撮像対象の画像がレンズモジュール6を介してCCD7上に結像されることにより、その画像に応じた画像信号がCCD7から出力される。尚、このレンズモジュール6は、レンズ、オート・アイリスのための駆動系、オートフォーカスのための駆動系等を備えており、これら駆動系の制御は図示しない制御信号によってCPU5によって行われる。CCD7から出力される画像信号は前処理モジュール（CDS・AGC）8に入力される。本実施の形態1においては、CCD7の取り込む有効画素数は640×480画素（VGA相当）である。前処理モジュール8は、CDS（相関二重サンプリング）及びAGC（自動利得制御）機能を備えている。また、CCD7及び前処理モジュール8に対するクロック及びタイミング信号は、タイミング生成回路（TG）9より供給される。前処理モジュール8で前処理が施された画像データは、A/D変換器（ADC）10により10ビットのデジタルデータに変換され、タイミング生成回路（SG）11により生成されるピクセルクロック（Pixel Clock）に同期して画像取り込みコントローラ1に入力される。

【0016】画像取り込みコントローラ1に入力された画像データは間引き回路1aによって間引き処理され、間引かれた結果であるデータがFIFO1bに書き込まれる。この間引き回路1aにおける間引き方式は、図示しない制御信号によってCPU5によって予め設定されている。

【0017】図2（A）は、間引き回路1aの動作の一例を示すタイミングチャートである。間引き回路1aは、SG11から入力されるピクセルクロック（Pixel Clock）を計数するピクセルカウンタ（Pixel Count）、図示しない水平・垂直同期信号に基づいて、画像のライン数を計数するラインカウンタ（Line Num）を備えており、CPU5によって予め設定された間引き方式と、これらのカウンタの計数値に基づいて、ADC10から入力されるデジタル画像データをラッチし、FIFO1bに書き込むためのクロック（Latch Clock）を生成する。

【0018】図2（A）の例では、水平640ピクセル、垂直480ラインのデータに対し水平・垂直とも1/2の間引きを行う場合（320×240画素：CIF

相当）が例示されている。従って、有効ラインは奇数ラインであり、この期間を示すための信号がActive Line信号である。また、有効ピクセルは奇数ピクセルであり、これを示す信号がActive Pixel信号である。

【0019】これら信号を基に、図2（B）に示すようにPixel Clock、Active Line信号及びActive Pixel信号の論理積が取られ、これがFIFO1bに書き込むためのLatch Clock信号となる。なお、図2（A）において、FIFO1bに書き込まれるデータがData to FIFOである。

【0020】尚、この間引き回路1aは、フレーム間引き機能も備える構成にすることが可能である。この場合は、更にフレームカウンタを設け、例えば4フレームごとに1フレームを取り込む場合にはフレームカウンタが「4の倍数+1」のときにActive Frame信号を生成し、図2（B）に示すAND回路の入力に加えるようにすればよい。

【0021】バスインターフェース回路（BUS IF）1cは、FIFO1bが空でない状態（何等のデータが書き込まれている）を検知すると、メインバス（MB）上にデータ書き込みのバストランザクションを発生し、メモリコントローラ4にFIFO1bから読み出したデータを転送する。バスインターフェース回路1cは、通常、画像取り込みクロック（Latch Clock）とは非同期のバスクロックで動作している。従って、FIFO1bの読み出しクロックは、FIFO1bの書き込みクロック（Latch Clock）とは非同期であり、FIFO1bはこの非同期のデータ転送を緩衝するために備えられている。

【0022】尚、このメインバスMBには、他にもバストランザクションを発生するバスマスタが複数接続されている（信号処理プロセッサ2、表示コントローラ3、CPU5など）ので、同時に複数のバストランザクションが発生する可能性がある。そのためバスアービタ12は、1度に1つだけのバスマスタがバストランザクションを発生できるようにバスを調停する。

【0023】〔メモリコントローラ4の説明〕メモリコントローラ4は、バスインターフェース回路（BUS IF）4aにおいてバストランザクションを受信し、格納すべき画像データ及びその画像データを格納すべきメモリアドレスを一時FIFO4bに書き込む。SDRAMインターフェース回路（SDRAM IF）4cは、画像メモリであるSDRAM13への各種制御信号を出力するとともに、FIFO4bに格納されたメモリアドレス及び画像データをSDRAM13に出力する。ここでメモリクロックはバスクロックとは非同期でありうるため、FIFO4bにより緩衝している。SDRAMインターフェース回路4cもまたメモリクロックに同期して動作しており、FIFO4bの読み出しポートからメモリクロックに同期して読み出されたメモリアドレスとデータをSDRAM13に書き込むための制御を行う。

【0024】[信号処理プロセッサ2の説明] 信号処理プロセッサ2は、画像データの読み出しのためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路(BUS IF) 2aによって、画像取り込みコントローラによって取り込まれた画像データを画像メモリから読み出す。こうして読み出された画像データはバスクロックに同期してワークメモリ2bに書き込まれる。DSP(デジタル信号プロセッサ) 2cは、バスクロックとは異なるクロック(DSPクロック)で動作しており、このDSPクロックに同期してワークメモリ2bのデータにアクセスして、カラーマトリクス処理によりYC分離を行い、続いて色補正、エッジ強調、ホワイトバランス調整、ガンマ補正などの処理を行う。このようにして得られた画像データは、モニタ15への表示に用いられる他、画像圧縮にも用いられる。モニタ15への表示用に用いる場合は、表示コントローラ3が読み出せるように、バスインターフェース回路2aを起動して、書き込みのバストランザクションを発生し、SDRAM13にデータを転送する。

【0025】[EVFモードの説明] EVFモードにおいては、上述した動作をフレーム毎に繰り返すことによって、連続したフレームを画像メモリ13に取り込む。信号処理プロセッサ2が画像データを格込む画像メモリの領域としては、同一領域を上書きする動作でよい。表示コントローラ3は、その画像メモリの領域より画像データを読み出すことにより表示データを得る。その際、表示コントローラ3は、画像データを読み出すためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路(BUS IF) 3aによって画像メモリ13から表示すべき画像データを読み出す。表示コントローラ3は更に、この読み出した画像データをバスクロックに同期してFIFO3bの書き込みポートに入力する。NTSCのモニタや液晶ディスプレイに代表されるように、一般に表示装置は画面を絶え間なくリフレッシュする必要があるため、有効画面期間中は、あるピクセルクロックで動作し続けなければならない。そのためバスインターフェース回路3aは、FIFO3bがフル状態になるまで画像メモリから画像データを読み出し続ける。

【0026】次に補間回路3cは、表示ピクセルクロックに同期してFIFO3bより画像データを読み出す。補間回路3cはラインメモリを備えており、FIFO3bより読み出された画像データは、まずこのラインメモリに格納される。このラインメモリに格納された画像データは、補間なしの場合は先頭から順に読み出されてNTSCエンコーダ3dに入力され、NTSCフォーマットの映像データに変換される。この場合、補間回路3cは、1ピクセル分の画像データが読み出されると、直ちに1ピクセル分の画像データをFIFO3bから読み出す。ここでライン補間を行う場合は、(補間するライン

数-1)分のラインデータをNTSCエンコーダ3dに送出した後、次のラインは1ピクセル分の画像データをNTSCエンコーダ3dに送出する毎に、FIFO3bから1ピクセル分の画像データを読み出す。例えば、ここでライン方向に4倍の補間を施すときは、3ライン分をそのラインメモリからの画像データで表示し、4ライン目の表示の際には、そのラインの表示を行いながらFIFO3bから次のラインの画像データを読み込んでくるという動作を行う。

【0027】NTSCエンコーダ3dによってNTSCフォーマットに変換された映像データは、D/A変換器(DAC) 14によってアナログ信号に変換された後、NTSCのモニタ15によって表示される。

【0028】上記の動作をフレームごとに連続して行うことにより、EVFモードの動作となる。このEVFモードでは、画像取り込みコントローラ1がフレーム間引きを行っていたとしても、各フレーム分の画像データを読み出す必要がある。この場合、表示される画像はこま落しになるが、モニタ15は一定のフレームレートで動作し続ける必要があるからである。

【0029】[撮影モードの説明] 次に、撮影モードでの動作を説明する。この撮影モードでは、1フレーム分の画像データを取り込んだ後、この画像データをJPEG圧縮してメモリカード17などの外部記憶等に記録する。

【0030】まず、シャッタ・ボタン等含むスイッチ群16のシャッタ・ボタンの押下がCPU5によって検出されると、CPU5は図示しない制御信号により画像取り込みコントローラ1に対し、次の1フレームの画像データを取り込み、それ以降のフレームの画像データを取り込まないように指示する。同様に、信号処理プロセッサ2に対し、次の1フレームの画像データに対して圧縮処理を行うように通知する。

【0031】画像取り込みコントローラ1は、前述のEVFモードの場合とは異なり、1フレームの画像を取り込んで画像メモリ13に画像データを転送し終えると、動作を一時停止する。信号処理プロセッサ2は、このメモリ13に格納された1フレーム分の画像データを読み出して、EVFモードで表示用の画像データを生成した場合と全く同様にしてYC分離、色補正、エッジ強調、ホワイトバランス調整、ガンマ補正等の画像処理を行う。その後、直ちにその画像データに対して、DCT演算処理、量子化処理、可変長符号化処理などを施して得られた符号化データを、画像メモリ13内の表示用画像データ領域とは別の領域に書き込む。

【0032】CPU5は、画像メモリ13に記憶された画像データを読み出し、必要なマーカ等を付加してJPEGデータとした後に、メモリカード17に格納する。こうして1フレーム分の画像データの格納が終了すると、CPU5は画像取り込みコントローラ1に対して、

10

20

30

40

50

EVFモードでの画像信号の取り込み再開するように通知する。

【0033】なお、メモ리카ード17に格納された符号化された画像データは、PC等のホストコンピュータとのインターフェースを実現するコミュニケーション回路18を介して、PC等からアクセスすることが可能である。本実施の形態1においてはコミュニケーション回路18は、例えばシリアルインターフェース、USB、IrDA、携帯電話モジュールなどを含んでいる。

【0034】[再生モードの説明] 次に再生モードの動作を説明する。この再生モードでは、画像取り込みコントローラ1の動作は停止している。CPU5はメモ리카ード17に格納された符号化された圧縮データを読み出してSDRAM13に書き込む。信号処理プロセッサ2は、このSDRAM13に書込まれた符号データを読み出して、復号化、逆量子化、逆DCT変換等の画像伸長処理を行って表示可能な画像データとした後、再びSDRAM13に書き戻す。表示コントローラ3は、この表示可能データをSDRAM13より読み出して表示動作を行う。

【0035】[テレビ電話モードの説明] 次に、テレビ電話モードの動作を説明する。前述した撮影モードでは、1フレームの画像データを取り込んだ後、画像取り込みコントローラ1は一時動作を停止した。しかし、このテレビ電話モードでは、画像データの取り込み処理を中断せずに、次々に連続するフレームの画像データを取り込む。このときの取り込みフレームレートは、CPU5によって設定された間引き方式に基づいて決定される。こうして取り込まれた画像データは撮影モードの場合と同様の処理によって信号処理プロセッサ2により画像処理及び画像圧縮・符号化処理が施されて、SDRAM13に書き込まれる。こうしてSDRAM13に書き込まれた符号データは、CPU5により読み出され、所定のマーカ等が挿入された後、コミュニケーション回路18の携帯電話モジュールによって電話回線を通じて通話相手に伝送される。

【0036】一方、電話回線を通じて通話相手より受信した符号データは、コミュニケーション回路18からCPU5を経由してSDRAM13に書き込まれる。信号処理プロセッサ2は、このSDRAM13に書込まれた符号データを読み出して、復号化、逆量子化、逆DCT変換等の画像伸長処理を行って表示可能な画像データとした後、再びSDRAM13に書き戻す。表示コントローラ3は、表示すべき画像データをSDRAM13より読み出してモニタ15に表示するように表示動作を行う。

【0037】以上のようにして、CCD7により撮像した画像を通話相手に電送するとともに、通信相手から送られてくる画像データを受信してモニタ15に表示することができる。

【0038】[クロックの説明] 次に、画像取り込みコントローラ1、信号処理プロセッサ2、表示コントローラ3及びメモ리카ード4のそれぞれに供給されるクロックについて説明する。

【0039】クロック発生器(CG)19、20、21、22、23は、CPU5により設定される周波数のクロック信号を生成する可変クロック発生器である。クロック発生器(CG(C))19は、SG11及び画像取り込みコントローラ1の画像取り込み部(間引き回路1a、FIFO1b)の動作クロックを生成する。クロック発生器(CG(D))20は、DSP2cの動作クロックを生成する。クロック発生器(CG(B))21は、各コントローラのバスインターフェース部の動作クロックを生成する。クロック発生器(CG(L))22は、表示コントローラ3のFIFO3b、補間回路3c、NTSCエンコーダ3d及びD/A変換器14の動作クロックを生成する。クロック発生器23(CG(M))は、メモ리카ード4のFIFO4b、SDRAM14cおよびSDRAM13の動作クロックを生成する。

【0040】またクロック発生器21から出力されるバスクロックは、各コントローラのバスインターフェース回路に供給されるが、各コントローラ毎にクロック供給を停止できるようにクロックゲート回路(G)24、25、26、27を備えている。これらのクロックゲート回路(G)は、図示しない制御信号によりCPU5によって制御される。

【0041】[電源情報に対応する各コントローラの設定に関する説明] 次に、各コントローラに供給される電源電圧について説明する。

【0042】レギュレータ28、29、30、31、32は各々CPU5によって設定される電圧を発生する可変電圧レギュレータであり、レギュレータ(REG(C))28は画像取り込みコントローラ1に、レギュレータ(REG(S))29は信号処理プロセッサ2に、レギュレータ(REG(D))30は表示コントローラ3に、レギュレータ(REG(M))31はメモ리카ード4に、そしてレギュレータ(REG(CPU))32はCPU5にそれぞれ電源電圧を供給する。またこれらレギュレータ28～32には電池33が共通に接続されている。

【0043】次に、電源電圧の状態に応じて間引き回路1a、補間回路3c、クロック発生器19～23、レギュレータ28～32の設定をどのように調整するかを説明して、この装置全体の動作を説明する。

【0044】動作モードの変更は、ユーザによるスイッチ群16のスイッチ操作によって行われる。このスイッチ群のスイッチの構成には様々な例が考えられるが、本実施の形態では、ダイヤルと押しボタンにより構成するものとする。即ち、ダイヤルの回転により動作モードの候補が順次更新して表示され、押しボタンの押下により動作モードの候補が選択される。この候補選択のイベン



トによりCPU5に割り込みが発生し、ROM36に格納された割り込み処理ルーチンが実行されて、動作モード変更処理がコールされる。

【0045】この動作モード変更処理ルーチンでは、新たに選択された動作モードを読み取る。この読み取られた動作モードに対応する間引き回路1a及び補間回路3cへの工場出荷時のデフォルト設定値は、ROM36に格納されている。ここでユーザが、各動作モードに対応する設定値を変更した場合は、変更したことを示すフラグとともに、その変更を加えた部分の対応がRAM37に記憶される。

【0046】図3は、各動作モードと、それに対応する間引き方式、補間方式の設定値を説明する図である。

【0047】図3において、動作モードとしてEVF（電子ビューファインダ・モード）、撮影モード、再生モード、テレビ電話モードの4種類が定義されている。ここで間引き方式は、解像度（図ではサイズ(size)と表記）とフレームレート（図ではフレーム(frame)と表記）とに分けて示しており、補間方式は解像度のみを示してある。なぜなら、本実施の形態では、表示はNTSCでの出力なのでフレームレートが一定だからである。解像度の間引き及び補間方式は、縦横1/2間引き・補間の場合を「CIF」として示し、縦横1/4間引き・補間の場合を「QCIF」として示している。またフレームレートは、秒間30フレームならば30【フレーム(frame)/s】のように示している。また、停止状態を示す場合は「-」と図示している。

【0048】図3によれば、動作モード変更処理ルーチンが読み取った新たな動作モードが「EVFモード」だった場合は、解像度の間引き・補間方式は「CIF」であり、フレームレートは30【フレーム/s】と設定する。「撮影モード」では、表示は停止しており（補間方式は「-」）、画像取り込みとしてはVGAを1フレームだけ取り込むように設定する。また「再生モード」の場合は、画像取り込みは停止しており、表示としてはVGAを表示する。更に「テレビ電話モード」の場合、解像度の間引き・補間方式は「QCIF」であり、フレームレートは15【フレーム/s】と設定する。

【0049】従って、CPU5は、前述の割り込み処理ルーチンにおいて、図3に示す内容に相当するデータをROM36又はRAM37より読み出して、間引き回路1a、補間回路3cにおける間引き方式及び補間方式の設定値を得ることができる。

【0050】このようにして、各動作モードに対応する間引き方式及び補間方式が得られると、CPU5は、それら間引き方式及び補間方式において装置を正常に動作させ得る最低のクロック周波数と最低の電源電圧を算出する。この算出方法の一例として最も簡単なものは、各間引き方式及び補間方式に対応させてクロック周波数と電源電圧を記憶させたテーブルを参照して決定する方法

であり、本実施の形態では、このテーブル参照を用いるものとする。

【0051】このテーブルはROM36に格納されており、このテーブルとして記憶されている情報の内容例は、例えば図4乃至図7に示す如くである。

【0052】図4、図5、図6、図7のそれぞれは、EVFモード、撮影モード、再生モード、テレビ電話モードのそれぞれにおける解像度の間引き方式に対応する各クロックの周波数、各レギュレータに設定すべき電圧値を示している。「bus clk」は、クロック発生器21に設定するクロック周波数、「ccd clk」はクロック発生器19に設定するクロック周波数、「disp clk」はクロック発生器22に設定するクロック周波数、「dsp clk」はクロック発生器20に設定するクロック周波数、そして「mem clk」はクロック発生器23に設定するクロック周波数をそれぞれ示している。また「ccd vol」はレギュレータ28に設定する電圧値、「dsp vol」はレギュレータ29に設定する電圧値、「disp vol」はレギュレータ30に設定する電圧値、そして「mem vol」はレギュレータ31に設定する電圧値をそれぞれ示している。

【0053】例えば、動作モードがEVFモードに変更されると、図3に示すように、間引き方式は「CIF」となる。この場合、図4の「CIF」の欄を参照すると、クロック発生器21(bus clk)には40MHzを設定し、クロック発生器19(ccdclk)及び22(disp clk)には13.5MHzを設定し、クロック発生器20(dsp clk)には100MHzを設定し、クロック発生器23(mem clk)には40MHzをそれぞれ設定し、レギュレータ28(ccd vol)、29(dsp vol)、31(mem vol)には3.0Vを設定し、レギュレータ30(disp vol)には3.3Vをそれぞれ設定すれば良いことがわかる。これらの設定処理は、CPU5がROM36より各種設定値を読み出して、各クロック発生器及びレギュレータに設定することにより行われる。

【0054】図5は、撮影モードにおける設定値の例を示す図である。

【0055】この図5において注意すべきは、クロック発生器22(disp clk)及びレギュレータ30(disp vol)の設定である。即ち、撮影モードにおいては、表示コントローラ3は動作する必要がないので、この表示コントローラ3へのクロック信号及び電圧供給を停止させる。更に、クロックゲート回路26によって、表示コントローラ3のバスインターフェース回路3aへのクロック供給も停止する。尚、表示コントローラ3への電力供給を停止させる場合には、バスインターフェース回路3aのメインバスMBへ接続している信号は電氣的にアイソレーションされる必要がある。そのため、表示コントローラ3への電圧供給は保ったままでクロック信号の供給のみを停止させる方が、回路的には簡易な構成となる。



【0056】図6は、再生モードにおける設定値を説明する図で、この場合には、撮影モードの場合と同様に、クロック発生器19(ccd clk)、レギュレータ28(ccd vol)、クロックゲート回路(G)24をストップ状態とする。

【0057】図7は、テレビジョン電話モードにおける設定値を説明する図で、この場合は解像度VGAは、データ量が多すぎて処理できないのでVGAの設定は行っていない。

【0058】図8は本実施の形態の撮像装置のCPU5 10による割込み処理を示すフローチャートである。

【0059】スイッチ群16のスイッチが操作されて動作モードが指示されるとCPU5に対して割込みが発生し、まずステップS1で、スイッチ群16のスイッチにより設定された動作モードが判別される。次にステップS2に進み、その動作モードに対応する各種設定値を読み出すべく、ROM36にアクセスして、そのROM36のテーブルに記憶されている設定値を読み出す。即ち、図3に示した動作モードに対応する解像度(size) 20、フレームレートを読み出す。次にステップS3に進み、ステップS2により読み出されたフレームレートに対応するように回路を設定する。例えば、EVFモードにおいて、フレームレートが10[フレーム/s]と設定されていたならば、画像取り込みコントローラ1及び信号処理プロセッサ2は、3フレームにつき1フレームだけを処理すればよいので、取り込みを行わない3フレーム中2フレーム分の期間はクロックゲート回路24及び25とクロック発生器20(dsp clk)によりクロック供給をストップする。

【0060】次にステップS4に進み、動作モードとステップS2により読み出された解像度に対応する各種設定値を更にROM36から読み出し(図4~図7参照)、ゲート24~27、クロック発生器19~23及びレギュレータ28~31のそれぞれに設定する。

【0061】本実施の形態に示したような間引き方式、補間方式、クロック周波数及び電源電圧の設定方法によれば、あらゆる動作モードにおいて、ユーザが望む解像度やフレームレートを設定できる。また、ユーザが設定した解像度やフレームレートに対応して、その解像度やフレームレートで正常に動作するためのクロック周波数や電源電圧が自動的に設定されるので、あらゆる動作状況においても最大限の省電力効果が得られる。

【0062】また本実施の形態に係る他の態様として、SDRAM13の容量が増設可能な構成になっているような場合には、そのSDRAMのメモリ容量に応じて解像度を制限するような利用方法も可能である。即ち、最小構成のメモリが実装されており、これが例えばQCIF画像しか格納することができない容量しか備えていない場合は、間引き方式、補間方式の最大解像度の設定をいかなる動作モードにおいてもQCIFに制限する。一

方、メモリを増設してVGA画像が格納できる容量が確保できた場合は、解像度設定の制限を行わない。このような利用法の場合は、そのメモリ容量に応じて柔軟に解像度を設定できる。

【0063】なお本発明は、複数の機器(例えばホストコンピュータ、インターフェース機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0064】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体(または記録媒体)を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0065】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0066】以上に述べたように本実施の形態に係る撮像装置によれば、ユーザの利用形態に応じた柔軟な画質の制御が極めて容易に実現可能となり、またいかなる動作モードにおいても最大限の消費電力削減を行えるという効果がある。

【0067】本実施の形態における他の効果としては、メモリの容量に応じて画像の解像度を柔軟に変更できるため、メモリの増設に非常に容易に対応することが可能であるという効果がある。

【0068】

【発明の効果】以上説明したように本発明によれば、装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより、装置の消費電力を抑えることができる。

【0069】また本発明によれば、装置の動作モードに応じて、最適な省電力を自動的に実現できるという効果

がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る携帯型テレビ電話端末の構成を示すブロック図である。

【図2】本実施の形態のテレビ電話端末の間引き回路の動作例を示すタイミングチャート（A）及びこの間引き回路におけるラッチクロックの生成を説明する図（B）である。

【図3】本実施の形態に係るテレビ電話端末での動作モードと間引き方式及び補間方式の対応を説明する図である。 10

【図4】EVFモードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図で\*

\*ある。

【図5】撮影モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

【図6】再生モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

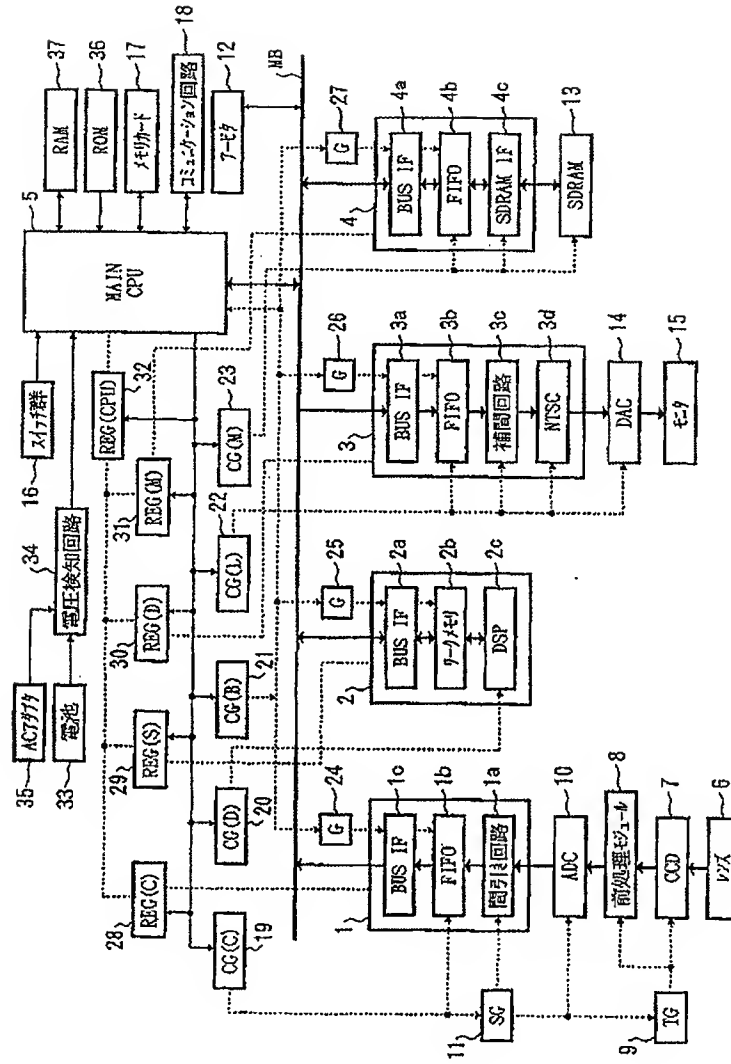
【図7】テレビ電話モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

【図8】本発明の実施の形態に係る携帯型テレビ電話端末における動作モード設定処理を示すフローチャートである。

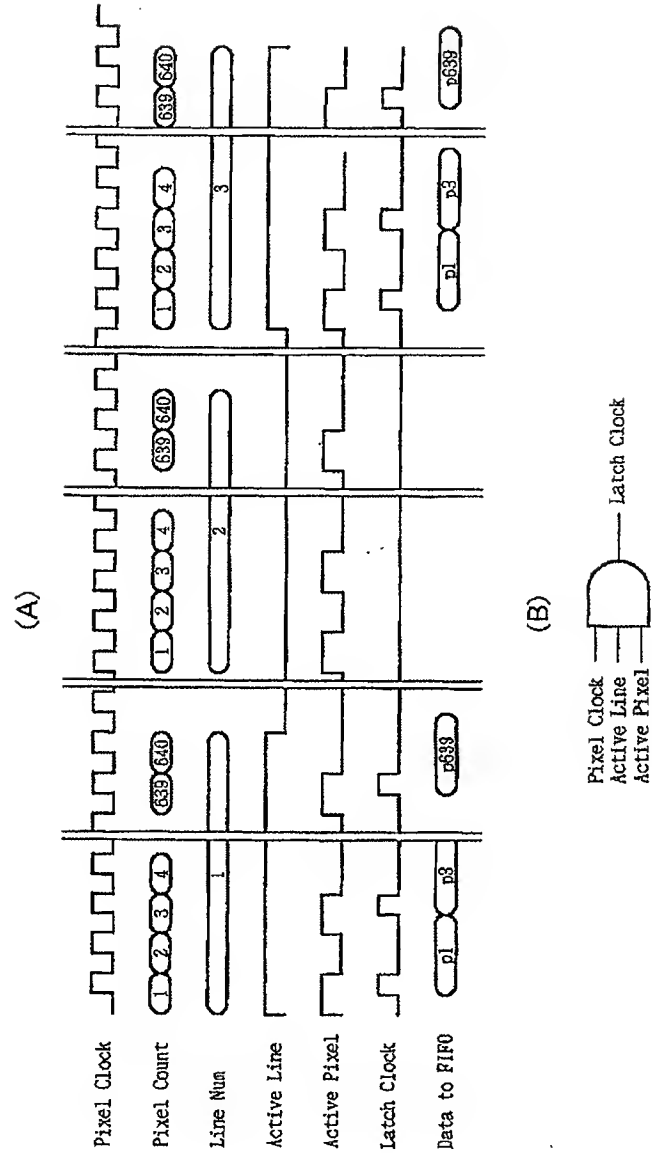
【図3】

動作モード	間引き方式(size)	間引き方式(frame)	補間方式
EVF	CIF	30 frames/s	CIF
撮影	VGA	1 frame	-
再生	-	-	VGA
テレビ電話	QCIF	15 frames/s	QCIF

【図1】



【図2】



【図4】

EVFモードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	80MHz	13.5MHz	13.5MHz	200MHz	80MHz	3.3V	3.3V	3.3V	3.3V
CIF	40MHz	13.5MHz	13.5MHz	100MHz	40MHz	3.0V	3.0V	3.3V	3.0V
QCIF	20MHz	13.5MHz	13.5MHz	50MHz	20MHz	2.7V	2.7V	3.3V	2.7V

【図5】

撮影モードの設定

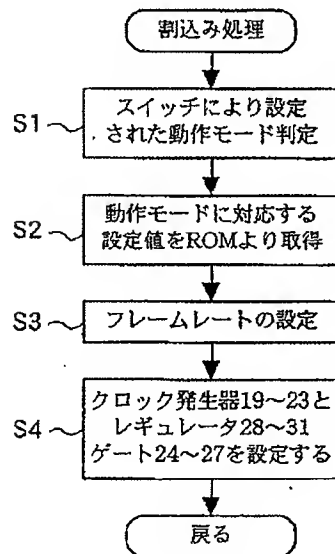
size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	40MHz	13.5MHz	0MHz	100MHz	40MHz	3.0V	3.0V	0V	3.0V
CIF	20MHz	13.5MHz	0MHz	50MHz	20MHz	2.7V	2.7V	0V	2.7V
QCIF	10MHz	13.5MHz	0MHz	25MHz	10MHz	2.4V	2.4V	0V	2.4V

【図6】

再生モードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	40MHz	0MHz	13.5MHz	100MHz	40MHz	0V	3.0V	3.3V	3.0V
CIF	20MHz	0MHz	13.5MHz	50MHz	20MHz	0V	2.7V	3.3V	2.7V
QCIF	10MHz	0MHz	13.5MHz	25MHz	10MHz	0V	2.4V	2.3V	2.4V

【図8】



【図7】

テレビ電話モードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	NA	NA	NA	NA	NA	NA	NA	NA	NA
CIF	80MHz	13.5MHz	13.5MHz	200MHz	80MHz	3.3V	3.3V	3.3V	3.3V
QCIF	40MHz	13.5MHz	13.5MHz	100MHz	40MHz	3.0V	3.0V	3.3V	3.0V

---

 フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H04N 101:00

識別記号

FI  
G06F 1/00

テーマコード(参考)  
332Z